

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285457

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H04N 5/262

(21)Application number : 09-087035

(71)Applicant : SONY CORP

(22)Date of filing :

04.04.1997

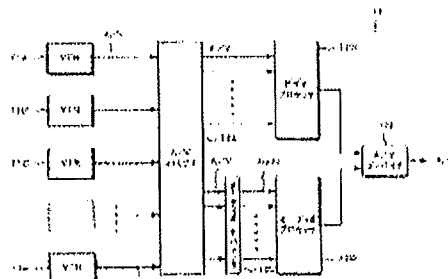
(72)Inventor : UEDA MOTOMU

(54) EDIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a device and to reduce cost by using a video signal mixed with an audio signal, so as to place a video-processing section and an audio- processing section in a same case.

SOLUTION: An embedded audio/video signal is reproduced from VTRs 71A-71n and the signal is fed to an edit processing unit 72. A signal which is fed to a video processor circuit 72B via an A/V matrix circuit 72A is given to a blanking circuit included in the circuit 72B, where the audio signal is deleted and only the video signal is extracted, and video effect processing is applied to the video signal. The audio signal is extracted from the signal supplied via the circuit 72A in an audio separator circuit 72C, and the audio processor circuit 72D applies audio effect processing to the audio signal. The audio signal is superimposed on the video signal in an A/V combiner 72E, in which the embedded audio/video signal is generated and from which the signal is outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285457

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>8</sup>

H 0 4 N 5/262

識別記号

F I

H 0 4 N 5/262

審査請求 未請求 請求項の数 2 O L (全 23 頁)

(21) 出願番号 特願平9-87035

(22) 出願日 平成9年(1997)4月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 植田 求

東京都品川区北品川6丁目7番35号 ソニー株式会社内

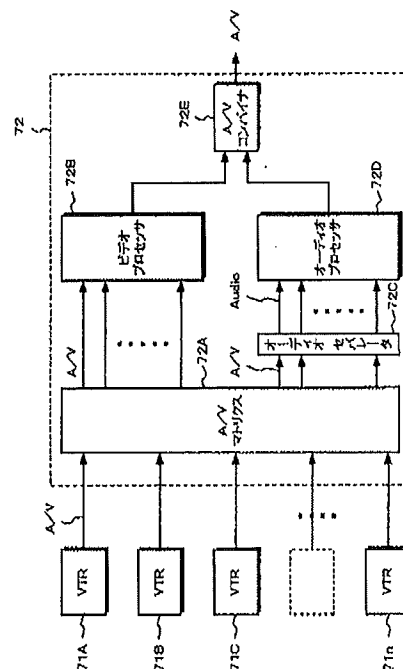
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 編集装置

(57) 【要約】

【課題】 音声混入映像信号を利用して映像処理部及び音声処理部を同一の筐体で行うことにより、装置の簡素化及び低価格化を図ることができる。

【解決手段】 VTR 71A～71nからエンベデッド・オーディオ／ビデオ信号が再生され、その信号は編集処理装置 72 へ供給される。A/Vマトリックス回路 72Aを介してビデオプロセッサ回路 72Bへ供給された信号は、回路 72Bに含まれるブランキング回路によってオーディオ信号が消去され、ビデオ信号のみを取り出すことができ、そのビデオ信号に対してビデオ・エフェクト処理が施される。オーディオセパレータ回路 72Cでは、回路 72Aを介して供給された信号からオーディオ信号が抜き取られ、オーディオプロセッサ回路 72Dにおいて、そのオーディオ信号に対してオーディオ・エフェクト処理が施される。A/Vコンバイナ 72Eでは、ビデオ信号にオーディオ信号を重畳させ、エンベデッド・オーディオ／ビデオ信号が生成され、出力される。



## 【特許請求の範囲】

【請求項1】 ビデオ信号のブランキング区間にオーディオ信号が重畳されている音声混入映像信号が供給され、供給された上記音声混入映像信号のビデオ信号とオーディオ信号とを編集することができる編集装置において、

複数の音声混入映像信号を入力し、上記複数の音声混入映像信号を選択するクロスポイント手段と、

上記クロスポイント手段で選択された上記音声混入映像信号からビデオ信号を抜き取り、上記ビデオ信号に対する処理を行う映像処理手段と、

上記クロスポイント手段で選択された上記音声混入映像信号からオーディオ信号を抜き取り、上記オーディオ信号に対する処理を行う音声処理手段と、

上記映像処理手段の出力と、上記音声処理手段の出力とを合成して音声混入映像信号を生成するコンバイナ手段とを有することを特徴とする編集装置。

【請求項2】 請求項1に記載の編集装置において、上記クロスポイント手段、上記映像処理手段、上記音声処理手段、上記コンバイナ手段は、1つの筐体に含まれることを特徴とする編集装置。

## 【発明の詳細な説明】

## 【0001】

【目次】以下の順序で本発明を説明する。

## 【0002】 発明の属する技術分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

発明の効果

## 【0003】

【発明の属する技術分野】この発明は、伝送される音声混入映像信号を用いてビデオ信号及びオーディオ信号を編集することができる編集装置に関する。

## 【0004】

【従来の技術】従来、編集装置としては、映像及び音声を記録する記録手段としてビデオテープレコーダ（以下、これを略してVTRと呼ぶ）を用いたものが提案されている。このような編集装置においては、素材としての映像及び音声をVTRに記録しておき、当該VTRから所望の映像及び音声を読み出して使用することにより編集を行うようになっている。

【0005】また、従来の編集装置においては、映像の信号処理を行う機器（ビデオスイッチャ、ビデオエフェクタ等）と、音声の信号処理を行う機器（オーディオミキサ、オーディオエフェクタ等）を別々に用意する必要があった。

【0006】近年音声を映像のデータに混入した混合デジタル信号、すなわち音声混入映像信号（以下、エンベデッド・オーディオ／ビデオ信号と称する）を利用し

た映像／音声信号伝送方法が確立されている。具体的には、図11に示すようにオーディオ信号をビデオ信号のブランキング区間に重畳する形でオーディオ信号とビデオ信号とが伝送される。実際に、放送機器においてはデジタルVTRを初めとする主要デジタル機器が既にこの信号形態での伝送を行っている。

【0007】その編集装置の概略図を図12に示す。デジタルVTR 81A～81nでは、エンベデッド・オーディオ／ビデオ信号が再生される。再生されたエンベデッド・オーディオ／ビデオ信号は、デジタルVTR 81A～81nからA/Vセパレータ 82A～82nへ供給される。A/Vセパレータ 82A～82nでは、供給されたエンベデッド・オーディオ／ビデオ信号がエンベデッド・オーディオ信号とビデオ信号へ分離される。A/Vセパレータ 82A～82nで分離されたビデオ信号はビデオプロセッサ 83へ供給され、オーディオ信号はオーディオプロセッサ 84へ供給される。ビデオプロセッサ 83では、供給されたビデオ信号に対して特殊効果等が施され、A/Vコンバイナ 85へ供給される。同様に、オーディオプロセッサ 84でも供給されたオーディオ信号に対して特殊効果等が施され、A/Vコンバイナ 85へ供給される。A/Vコンバイナ 85では、ビデオ信号にオーディオ信号が図11に示すように重畳され、出力される。

【0008】このように、従来の編集装置においては、ビデオ信号及びオーディオ信号がエンベデッド・オーディオ／ビデオ信号で送信された場合、まずビデオ信号とオーディオとに分離しなければならない。そして、ビデオプロセッサ 83において映像信号のスイッチング及びミキシング、さらに特殊効果等の付加が行われる。この処理系の中に映像信号用クロスポイント回路を有しており、選択された信号に対して上述の処理を行う。また、オーディオプロセッサ 84においてもまず内部に含まれる音声信号用クロスポイント回路によって複数のオーディオ信号の入力から必要とするオーディオ信号を選択し（時にはこの選択は専用の機器を用いて行う）、選択されたオーディオ信号に対してミキシング、音声特殊効果等の処理が行われる。このようにビデオ信号及びオーディオ信号が別々に処理され、その各々の出力を最終的にはビデオ信号にオーディオ信号を混入する回路（A/Vコンバイナ 85）を有する機器により1系統の信号として出力される。

## 【0009】

【発明が解決しようとする課題】このように従来の編集装置においては、映像処理、音声処理が全く独立に行われていた。また、近年のノンリニア編集機においてもその入出力はビデオ信号、オーディオ信号それぞれ存在していた。このため、エンベデッド・オーディオ／ビデオ信号を使用した場合、各機器への入力前に一旦ビデオ信号とオーディオ信号に分離を行う処理ブロックを通して

からそれぞれの処理ブロックに介す構成をとらざるを得なかった。

【0010】また、映像処理部と音声処理部とが全く別の筐体であるため、当然その双方にそれぞれの入力数（処理する対象の入力数）分の口を持ったクロスポイントを必要としていた。当然ケーブルもその分必要としていた。

【0011】従って、この発明の目的は、伝送されるエンベデッド・オーディオ／ビデオ信号を用いて1つの筐体でビデオ信号及びオーディオ信号の編集を行うことにより、できるだけシステム内のケーブル結線を少なくすることができるため、また、各機器の入力数を抑えることができるため、編集にかかる装置全体のコストを抑えるようにした編集装置を提供することにある。

【0012】

【課題を解決するための手段】請求項1の発明は、ビデオ信号のブランキング区間にオーディオ信号が重畳されている音声混入映像信号が供給され、供給された音声混入映像信号のビデオ信号とオーディオ信号とを編集することができる編集装置において、複数の音声混入映像信号を入力し、複数の音声混入映像信号を選択するクロスポイント手段と、クロスポイント手段で選択された音声混入映像信号からビデオ信号を抜き取り、ビデオ信号に対する処理を行う映像処理手段と、クロスポイント手段で選択された音声混入映像信号からオーディオ信号を抜き取り、オーディオ信号に対する処理を行う音声処理手段と、映像処理手段の出力と、音声処理手段の出力とを合成して音声混入映像信号を生成するコンバイナ手段とを有することを特徴とする編集装置である。

【0013】ビデオ信号のブランキング区間にオーディオ信号が重畳されるエンベデッド・オーディオ／ビデオ信号を用いてビデオ信号及びオーディオ信号を編集する場合、複数のエンベデッド・オーディオ／ビデオ信号がA/Vマトリックス回路へ供給される。A/Vマトリックス回路では、供給されたエンベデッド・オーディオ／ビデオ信号が映像処理部へ供給されるか、音声処理部へ供給されるかが判断され、対応する処理部へ供給される。映像処理部において、供給されたエンベデッド・オーディオ／ビデオ信号は、通常備わっているブランキング回路によって、オーディオ信号が抜き取られ、ビデオ信号のみが取り出される。取り出されたビデオ信号に対して編集処理が行われる。音声処理部側に供給されたエンベデッド・オーディオ／ビデオ信号は、音声処理部の入力の前段でオーディオセパレータ回路によって、オーディオ信号のみ抜き取られる。音声処理部では、抜き取られたオーディオ信号の編集処理が行われる。処理が行われたビデオ信号及びオーディオ信号では、A/Vコンバイナによって、ビデオ信号にオーディオ信号が重畳され、出力される。

【0014】

【発明の実施の形態】以下図面について、本発明の実施の一形態を詳述する。

【0015】(1) 編集装置の全体構成

図1において、1は全体として本発明を適用した編集装置を示し、大きく分けてコンピュータ2と編集処理装置3からなる。

【0016】コンピュータ2はCPU（中央処理ユニット）や各種処理回路、或いはフロッピーディスクドライブ、ハードディスクドライブ等を備える本体2Aと、当該本体2Aに接続される表示手段としてのモニタ2Bと、入力手段としてのキーボード2C及びマウス2Dとを有している。このようなコンピュータ2は編集のためのソフトウェアとしてアプリケーションプログラムがハードディスクドライブに予めインストールされており、オペレーティングシステムの基で当該アプリケーションプログラムを動作させることにより編集装置用のコンピュータとして起動するようになされている。

【0017】因みに、このアプリケーションプログラムを動作させたときには、モニタ2B上にGUI（グラフィカル・ユーザ・インターフェイス）のためのグラフィック表示が表示されるようになされており、この編集装置1では、このGUIを介して編集のための制御コマンドを入力し得るようになされている。なお、コンピュータ2は、入力された制御コマンドの内容が編集処理装置3の動作を制御するものであれば当該制御コマンドに応じた制御信号S1を生成し、これを編集処理装置3に送出するようになされている。

【0018】またこのコンピュータ2には編集処理装置3を介してビデオ信号S2が入力されるようになされており、これにより各素材の映像をモニタ2Bに表示してその内容を確認しながらイン点（イベントの開始点）やアウト点（イベントの終了点）を指示し得るようになされていると共に、イン点及びアウト点を指示することによつて切り取られたイベント素材や編集したプログラムの映像を表示してその内容を確認し得るようになされている（以下、この切り取られた素材や編集したプログラムの内容を確認することをプレビューと呼ぶ）。

【0019】一方、編集処理装置3は内部にマトリックススイッチャ部、画像処理部及び音声処理部を有しており、素材の切り取りや繋ぎ合わせ、或いはビデオ信号やオーディオ信号に対する信号処理等、実際の編集作業を実行する装置である。

【0020】この編集処理装置3には上述したようなコンピュータ2が接続されているだけでなく、専用コントローラ4、5も接続されており、当該専用コントローラ4、5を使用しても編集のための制御コマンドを入力し得るようになされている。

【0021】因みに、専用コントローラ4は、素材のイン点やアウト点を指示するためのボタン操作子や、素材の再生を指示するためのボタン操作子、或いは編集した

プログラムの記録を指示するためのボタン操作子等を有していると共に、変速再生（いわゆるシヤトル再生）やコマ送り再生（いわゆるジヨグ再生）の指示を入力するためのダイヤル操作子等を有しており、それらのボタン操作子又はダイヤル操作子を介して入力された指示情報に応じた制御信号 S 3 を編集処理装置 3 に送出するようになされている。また専用コントローラ 5 は、オーディオレベルを入力するためのスライド操作子（いわゆるオーディオフェーダ）や 2 つの映像を切り換えときの切換率を入力するためのスライド素子（いわゆるビデオフェーダ）等を有しており、それらのスライド操作子を介して入力された指示情報に応じた制御信号 S 4 を編集処理装置 3 に送出するようになされている。

【0022】またこの編集処理装置 3 に対しては、デイレシーバ 6（一般に放送局において映像や音声等の編集素材を記憶している記憶手段）が接続されており、当該デイレシーバ 6 に記憶されているビデオ及びオーディオ信号を取り込めるようになされている。この場合、デイレシーバ 6 は 2 チャンネル分の出力ポートを有しており、編集処理装置 3 から供給されるチャンネル毎の制御信号 S 5、S 6 に応じて所望のビデオ及びオーディオ信号 S 7、S 8 を記憶媒体 6 A から読み出して出力するようになされている。なお、記憶媒体 6 A には圧縮率 1/10 の M P E G（Moving Picture coding Experts Group）規格で圧縮されたビデオ及びオーディオ信号が記憶されており、読み出されたビデオ及びオーディオ信号はそれぞれデコーダ 6 B、6 C を介して復号化が行われた後、シリアル・デジタル・インターフェイス（以下、これを S D I と呼ぶ）規格のフォーマットに変換され、その S D I 規格のビデオ及びオーディオ信号 S 7、S 8 が編集処理装置 3 に供給されるようになされている。

【0023】またこの編集処理装置 3 に対しては V T R 7 も接続されており、当該 V T R 7 に記憶されているビデオ及びオーディオ信号も取り込めるようになされている。この場合、V T R 7 は S D I 規格の入出力インターフェイスを有しており、編集処理装置 3 から供給される制御信号 S 9 に応じて所望のビデオ及びオーディオ信号 S 10 を読み出して出力するようになされている。また V T R 7 は、編集処理された後のビデオ及びオーディオ信号やデイレシーバ 6 から読み出されたビデオ及びオーディオ信号 S 7、S 8 を記録対象のビデオ及びオーディオ信号 S 11 として編集処理装置 3 から受けるようになされており、制御信号 S 9 に応じてそのビデオ及びオーディオ信号 S 11 をビデオテープに記録するようになされている。

【0024】またこの編集処理装置 3 に対しては、複数のハードディスクからなるローカルストレージ 8 も接続されており、当該ローカルストレージ 8 に記憶されているビデオ及びオーディオ信号も取り込めるようになされている。この場合、ローカルストレージ 8 は S D I 規格

の入出力インターフェイスを有していると共に、出力ポートとしては 2 チャンネル分のポートを有しており、編集処理装置 3 から供給される制御信号 S 12 に応じて所望のビデオ及びオーディオ信号 S 13、S 14 を読み出して出力するようになされている。またローカルストレージ 8 は、編集処理された後のビデオ及びオーディオ信号やデイレシーバ 6 又は V T R 7 から読み出されたビデオ及びオーディオ信号を記録対象のビデオ及びオーディオ信号 S 15 として編集処理装置 3 から受けるようになされており、制御信号 S 12 に応じてそのビデオ及びオーディオ信号 S 15 を内部のハードディスクに記録するようになされている。

【0025】またこの編集処理装置 3 に対しては、オンエアバッファ（放送の際にプログラムを一時的に記憶するための記憶手段）9 も接続されており、当該編集処理装置 3 によつて編集処理したプログラムのビデオ及びオーディオ信号 S 16 をオンエアバッファ 9 に記憶し得るようになされている。この場合、オンエアバッファ 9 は S D I 規格の入出力インターフェイスを有しているため、送出されるビデオ及びオーディオ信号 S 16 としては S D I 規格の信号フォーマットになっている。またオンエアバッファ 9 においては、供給されたビデオ及びオーディオ信号 S 16 をエンコーダ 9 A によつて圧縮率 1/10 の M P E G 規格で圧縮した後、内部の記憶媒体 9 B に記憶するようになされている。

【0026】なお、このオンエアバッファ 9 と編集装置 1 のコンピュータ 2 は例えばイーサネット等のローカルエリアネットワーク（以下、これを L A N と呼ぶ）10 を介して接続されており、オンエアバッファ 9 に対する制御コマンドはコンピュータ 2 及び L A N 10 を介して当該オンエアバッファ 9 に送出される。また編集されたプログラムがどのような素材で構成されているかを示す編集リスト（一般にエディット・デシジョン・リストと呼ばれる）も、この L A N 10 を介してオンエアバッファ 9 に送出される。

【0027】また編集装置 1 のコンピュータ 2 とデイレシーバ 6 もこの L A N 10 を介して接続されており、当該 L A N 10 を介してデイレシーバ 6 に記憶されている各素材のファイル名等をコンピュータ 2 から参照し得るようになされている。

【0028】また編集処理装置 3 に対しては、オプション接続としてスピーカ 11 及び 12 が接続されるようになされており、編集処理装置 3 によつて編集されたオーディオ信号 S 17、S 18 を当該スピーカ 11、12 から送出してオーディオに関する編集内容を確認し得るようになされている。

【0029】さらに編集処理装置 3 に対しては、オプション接続としてプレビュー専用のモニタ 13 も接続されるようになされており、編集処理装置 3 によつて編集されたビデオ信号 S 19 を当該モニタ 2 B に表示してビデ

オに関する編集内容をこのモニタ 13 によつても確認し得るようになされている。因みに、このモニタ 13 に表示されるプレビュー画面の方がコンピュータ 2 のモニタ 2 B に表示されるプレビュー画面よりも大きいので、モニタ 13 を接続した方がより鮮明に編集内容を確認し得る。

【0030】ここでこの編集装置 1 における編集方法を簡単に説明する。まずこの編集装置 1 では、アプリケーションプログラムを起動させると、上述したようにモニタ 2 B に GUI のためのグラフィック表示が表示される。オペレータは、モニタ 2 B に表示される GUI をマウス 2 D を使用してクリック操作することにより、編集素材が記憶されているデバイス（すなわちデリリーサーバ 6、VTR 7 又はローカルストレージ 8）を指示すると共に、その素材の再生を指示する。これによりその指示された素材のビデオ信号 S 2 が編集処理装置 3 を介してコンピュータ 2 に供給され、その素材の映像がモニタ 2 B に表示される。オペレータはその素材の映像を見ながらイン点とアウト点を指示することにより、プログラム作成に必要なイベントを生成する。オペレータはこの処理を繰り返し、プログラム作成に必要なイベントを一通り用意する。

【0031】続いてオペレータは、先程指定したイベントをプログラムウインドウと呼ばれる表示エリア内で所望の順番に並び換えることによりプログラムの順番を指示する。また所望のイベントに特殊効果を施すのであれば、その位置や特殊効果の種類をプログラムウインドウ内で指示する。因みに、このプログラムウインドウはプログラム作成に当たって使用される仮想的な空間であり、このプログラムウインドウ内で各イベントを並べただけではプログラムは作成されない。

【0032】このようにしてプログラムの概案が決まると、オペレータは GUI を介してプレビューの指示を入力する。これを受けた編集装置 1 は、編集処理装置 3 を制御することによりプログラムウインドウで指示されたプログラムの順番に基づいて各イベントを再生すると共に、編集処理装置 3 を制御することにより指示されたイベントに特殊効果を施し、ビデオ信号 S 2 を生成する。このビデオ信号 S 2 はコンピュータ 2 に供給され、かくしてモニタ 2 B に表示される。これによりオペレータは設定したプログラムの内容を確認することができる。

【0033】このようなプレビューの結果、プログラム内容に変更がなければ、オペレータは GUI を介して記録の指示を入力する。これを受けた編集装置 1 は、先程と同様に編集処理装置 3 を制御することにより指示されたプログラムを示すビデオ及びオーディオ信号 S 15 を生成し、これをローカルストレージ 8 に供給して記録する。かくしてこの処理により、プログラムウインドウによつて指示されたプログラムが完成し、ローカルストレージ 8 に記憶される。なお、この編集により生成したプ

ログラムを放送する場合には、GUI を介して転送の指示を入力すれば、ローカルストレージ 8 からそのビデオ及びオーディオ信号が読み出され、編集処理装置 3 を介してオンエアバッファ 9 に転送される。

【0034】このようにしてこの編集装置 1 では、各素材の映像やプログラムの映像をモニタ 2 B で確認しながら当該プログラムを作成し得るので、編集の使い勝手を向上し得る。またこの編集装置 1 では、オペレータがスイッチや特殊効果装置を直接操作しなくても編集が行えるので、編集操作を容易に行うことができ、編集に掛かる時間を削減し得る。

#### 【0035】(2) コンピュータの内部構成

この項ではコンピュータ 2 の内部構成について具体的に説明する。図 2 に示すように、コンピュータ 2 は、コマンドデータやビデオデータを伝送するためのシステムバス 20、コンピュータ全体の制御を行う CPU 21、入力されるビデオ信号 S 2 に対して画像処理等を行うビデオプロセッサ 22、モニタ 2 B に表示されるビデオデータや GUI のためのグラフィック表示を管理する表示コントローラ 23、ローカルハードディスクドライブ（ローカル HDD）24 A を制御するための HDD インターフェイス 24、フロッピーディスクドライブ（FDD）25 A を制御するための FDD インターフェイス 25、マウス 2 D 及びキーボード 2 C 等のポインティングデバイスからのコマンドに基づいて制御コマンドを生成するポインティングデバイスインターフェイス 26、編集処理装置 3 に制御信号 S 1 を送出するためのソフトウェアドライバを備えた外部インターフェイス 27 を有している。

【0036】システムバス 20 は、コンピュータ 2 内部でビデオデータやコマンドデータ、或いはアドレスデータ等の通信を行うためのバスであり、ビデオデータを伝送するための画像データバス 20 A と、コマンドデータやアドレスデータを伝送するためのコマンドデータバス 20 B とからなる。

【0037】画像データバス 20 A には CPU 21、ビデオプロセッサ 22、表示コントローラ 23、HDD インターフェイス 24 及び FDD インターフェイス 25 がそれぞれ接続されており、当該 CPU 21、ビデオプロセッサ 22、表示コントローラ 23、HDD インターフェイス 24 及び FDD インターフェイス 25 はこの画像データバス 20 A を介してビデオデータの伝送を行うようになされている。

【0038】一方、コマンドデータバス 20 B には、CPU 21、ビデオプロセッサ 22、表示コントローラ 23、HDD インターフェイス 24、FDD インターフェイス 25、ポインティングデバイスインターフェイス 26 及び外部インターフェイス 27 がそれぞれ接続されており（すなわちコンピュータ 2 内部の全てのブロックが接続されている）、当該コマンドデータバス 20 B を介

してコマンドデータやアドレスデータの伝送を行うようになされている。

【0039】CPU 21はコンピュータ2全体の制御を行うブロックであり、コンピュータ2のオペレーティングシステムが格納されているROM 21Aと、アップロードされたアプリケーションプログラム等が格納されるRAM 21Bとを有している。コンピュータ2を起動する場合には、CPU 21はROM 21Aに記憶されたオペレーティングシステムに基づいたソフトウェアプログラムを実行する。またアプリケーションプログラムをこの起動中のオペレーティングシステムの基で実行する場合には、CPU 21はまずハードディスクドライブ24Aのハードディスクに記録されているアプリケーションプログラムを読み出してRAM 21Bにアップロードし、その後、当該アプリケーションプログラムを実行する。

【0040】ビデオプロセッサ22は、コンピュータ2に入力されるSDI規格のビデオ信号S2を受け取り、当該ビデオ信号S2に対してデータ変換を施すと共に、その変換されたビデオデータを一時的にバッファリングするためのブロックである。具体的には、ビデオプロセッサ22は、当該ビデオプロセッサ22の全体を制御するプロセッサコントローラ22Aと、受け取ったビデオ信号S2のペイロード部からコンポジットビデオ信号を抽出し、かつ当該コンポジットビデオ信号をデジタルのコンポーネントビデオ信号に変換するデータ変換部22Bと、データ変換部22Bから送出される数フレーム分のビデオデータを一時的に記憶するフレームメモリ22Cとからなる。

【0041】プロセッサコントローラ22Aは、データ変換部22Bに対して制御信号を送出することにより当該データ変換部22Bのデータ変換動作を制御すると共に、当該データ変換部22Bにビデオ信号S2からタイムコードを抽出させる。またプロセッサコントローラ22Aは、フレームメモリ22Cに対して制御信号を送出することにより当該フレームメモリ22Cのリード/ライトタイミング及びリード/ライトアドレスを制御する。因みに、リードタイミングに関しては、プロセッサコントローラ22Aは表示コントローラ23に送出するタイムコードとビデオデータ（フレームデータ）とが対応するようにフレームメモリ22Cのリードタイミングを制御する。

【0042】データ変換部22Bは、プロセッサコントローラ22Aからの制御信号に基づいてコンポジットビデオ信号をデジタルのコンポーネントビデオ信号に変換する。因みに、タイムコードはこの変換過程において抽出される。この変換により得られたビデオデータは上述したようにフレームメモリ22Cに送出され、また抽出されたタイムコードはプロセッサコントローラ22Aに送出される。

【0043】フレームメモリ22Cはデータ変換部22Bから供給されるビデオデータを一時的に記憶する。このフレームメモリ22Cのリード/ライトタイミングは、上述したようにプロセッサコントローラ22Aによつて制御される。このフレームメモリ22Cは2個のフレームメモリから構成され、2フレーム分のビデオデータを記憶し得るようになされている。

【0044】このフレームメモリ22Cに記憶されたビデオデータは、プロセッサコントローラ22Aの読み出し制御に基づいて読み出される。その際、フレームメモリ22Cに記憶されたビデオデータを全画素読み出すのではなく、所定の間隔で間引いて読み出すことにより画像サイズを原画像よりも小さくする。このようにして画像サイズが小さく変換されたビデオデータは、モニタ2Bのビュウアウインドウ（詳細は後述する）に表示されるため、画像データバス20Aを介して表示コントローラ23に送出される。

【0045】表示コントローラ23は、モニタ2Bに表示されるデータを制御するための制御ブロックである。表示コントローラ23はメモリコントローラ23AとVRAM（ビデオ・ランダム・アクセス・メモリ）23Bとを有している。メモリコントローラ23Aはコンピュータ2の内部同期に従つてVRAM 23Bのリード/ライトタイミングを制御する。このVRAM 23Bには、ビデオプロセッサ22のフレームメモリ22Cから送出されたビデオデータ及びCPU 21によつて生成されるイメージデータが、メモリコントローラ23Aからのタイミング制御信号に基づいて記憶される。このVRAM 23Bに記憶されたビデオデータやイメージデータは、コンピュータ2の内部同期に基づいたメモリコントローラ23Aからのタイミング制御信号に基づいて読み出され、モニタ2Bに表示される。

【0046】この場合、イメージデータによるグラフィック表示がGUIのためのグラフィック表示となる。因みに、CPU 21からVRAM 23Bに送出されるイメージデータは、例えばウインドウやカーソル、或いはスクロールバーやデバイスを示すアイコン等のイメージデータである。このコンピュータ2では、これらの複数種類のイメージデータをモニタ2Bに表示することによつてGUIのためのグラフィック表示を得ている。

【0047】HDDインターフェイス24は、コンピュータ2内部に設けられたローカルハードディスクドライブ（HDD）24Aと通信するためのインターフェイスブロックである。このHDDインターフェイス24とハードディスクドライブ24AとはSCSI（Small Computer System Interface）の伝送フォーマットに基づいて通信が行われるようになされている。

【0048】ハードディスクドライブ24Aには、このコンピュータ2で起動するアプリケーションプログラムがインストールされており、当該アプリケーションプロ

グラムを実行する場合には、このハードディスクドライブ 24 A から読み出されて CPU 21 の RAM 21 B にアップロードされる。またこのアプリケーションプログラムを終了する際には、RAM 21 B に記憶されている編集オペレーションによって生成された各種情報（例えばファイル情報等）は、このハードディスクドライブ 24 A を介してハードディスクにダウンロードされる。

【0049】FDD インターフェイス 25 は、コンピュータ 2 内部に設けられたフロッピーディスクドライブ（FDD）25 A と通信するためのインターフェイスブロックである。この FDD インターフェイス 25 とフロッピーディスクドライブ 25 A とは SCSI の伝送フォーマットに基づいて通信が行われるようになされている。

【0050】ポインティングデバイスインターフェイス 26 は、コンピュータ 2 に接続されたマウス 2 D 及びキーボード 2 C からの情報を受信するインターフェイスブロックである。ポインティングデバイスインターフェイス 26 は、マウス 2 D に設けられた 2 次元ロータリーエンコーダの検出情報と、マウス 2 D に設けられた左右のボタンのクリック情報とを当該マウス 2 D から受け取り、受け取ったそれらの情報をデコードして CPU 21 に送出する。同様に、ポインティングデバイスインターフェイス 26 はキーボード 2 C に設けられたボタンからの入力情報を受け取り、受け取った入力情報をデコードして CPU 21 に送出する。これにより CPU 21 は、モニタ 2 B に表示される GUI のうちいずれのコマンドボタンが指示されたか認識し得ると共に、キーボード 2 C より入力された各種データを認識し得、それらに対応する制御を行うことができる。

【0051】外部インターフェイス 27 は、コンピュータ 2 の外部に接続された編集処理装置 3 と通信するためのブロックである。外部インターフェイス 27 は CPU 21 で生成された再生コマンドや記録コマンド等の各種制御コマンドを所定の通信プロトコルのデータに変換するドライバを有しており、当該ドライバを介して制御コマンドを示す制御信号 S1 を編集処理装置 3 に送出する。

#### 【0052】（3）編集処理装置の構成

この項では編集処理装置 3 の構成について説明する。図 3 に示すように、編集処理装置 3 は大きく分けてシステムコントロール部 3 A、マトリクススイッチャ部 3 B、画像処理部 3 C 及び音声処理部 3 D からなっている。システムコントロール部 3 A は、コンピュータ 2 から送られてくる制御信号 S1 や専用コントローラ 4、5 から送られてくる制御信号 S3、S4 を受け、当該制御信号 S1、S3 又は S4 を基に各ブロックの動作を制御する。具体的には、システムコントロール部 3 A は、コントロールバス 3 E を介してマトリクススイッチャ部 3 B、画像処理部 3 C 及び音声処理部 3 D の動作を制御すると共

に、制御信号 S5、S6、S9 又は S12 を送出してデイリリーサーバ 6、VTR 7 及びローカルストレージ 8 の再生又は記録動作等を制御する。因みに、システムコントロール部 3 A は外部より供給されるリフエレンスタイムコード（REF-TC）も受け取り、タイムコードの管理も行うようになされている。

【0053】マトリクススイッチャ部 3 B は複数の入力端子と複数の出力端子とを有し、システムコントロール部 3 A からの制御に応じて所望の入力端子を所望の出力端子に接続するようになされており、これにより各デバイス（デイリリーサーバ 6、VTR 7 又はローカルストレージ 8）から読み出されたビデオ及びオーディオ信号のうち所望の信号を画像処理部 3 C や音声処理部 3 D に送出し得ると共に、所望の信号をコンピュータ 2 や各デバイス（VTR 7、ローカルストレージ 8 又はオンエアバッファ 9）に送出し得るようになされている。さらに画像処理部 3 C によつて処理されたビデオ信号をコンピュータ 2 に送出したり、或いはそのビデオ信号に音声処理部 3 D によつて処理されたオーディオ信号を重畳して各デバイス（VTR 7、ローカルストレージ 8 又はオンエアバッファ 9）に送出し得るようになされている。

【0054】画像処理部 3 C は、トランジションエフェクト（ワイプやページターン等、バックグラウンドの映像からフオアグラウンドの映像に切り換えるようなエフェクト）やアニメーションエフェクト（モザイクやピクチャインピクチャ等、特殊な画像処理や挿入処理を伴うエフェクト）といった特殊効果をビデオ信号に施すブロックであり、マトリクススイッチャ部 3 B によつて選択されたビデオ及びオーディオ信号からビデオ信号を抽出し、当該ビデオ信号に特殊効果を施した後、そのビデオ信号をマトリクススイッチャ部 3 B に出力する。

【0055】音声処理部 3 D は、オーディオ信号のレベル調整や合成を行うブロックであり、マトリクススイッチャ部 3 B によつて選択されたビデオ及びオーディオ信号からオーディオ信号を抽出した後、そのオーディオ信号にレベル調整を施したり、或いはオーディオ信号同士をそれぞれ合成したりし、その結果得られるオーディオ信号をマトリクススイッチャ部 3 B 又はスピーカ 11、12 に出力する。

【0056】ここでこれら各ブロックの構成を図を用いて以下に具体的に説明する。図 4 に示すように、システムコントロール部 3 A は、メイン CPU（M-CPU）30、コミュニケーション CPU（C-CPU）31 及びデバイス制御用 CPU（D-CPU）32～34 の複数の CPU から構成される。メイン CPU 30 は、コントロールバス 3 E を介して各ブロック（すなわちマトリクススイッチャ部 3 B、画像処理部 3 C 及び音声処理部 3 D）に制御コマンドを与えることにより当該各ブロックの動作を制御するための CPU である。またコミュニケーション CPU 31 は、外部のタイムコード発生器



(図示せず) によつて発生したリファレンスタймコード (REF-TC) を受け取つたり、或いはコンピュータ 2 からの制御信号 S 1 や専用コントローラ 4、5 からの制御信号 S 3、S 4 を受け取つたりするための通信用 CPU である。またデバイス制御用 CPU 32~34 は、各デバイス (すなわちデイレシーバ 6、VTR 7 及びローカルストレージ 8) に対して制御信号 S 5、S 6、S 9 又は S 12 を送出して当該各デバイスの動作を制御するための CPU である。

【0057】このようなシステムコントロール部 3A は、コミュニケーション CPU 31 によつて制御信号 S 1、S 3 又は S 4 を受け取り、当該コミュニケーション CPU 31 によつてその制御信号 S 1、S 3 又は S 4 が示す制御コマンドを再生する。この制御コマンドはシステムコントロール部 3A 内部のバス 35 を介してメイン CPU 30 に転送される。メイン CPU 30 はこの制御コマンドを解析し、デバイス制御が必要であれば対応するデバイス制御用 CPU 32、33 又は 34 に制御コマンドを送出して当該デバイス制御用 CPU 32、33 又は 34 を介してデバイスの動作を制御し、マトリクス

スイッチャ部 3B、画像処理部 3C 又は音声処理部 3D の制御が必要であれば対応するブロックにコントロールバス 3E を介して制御コマンドを送出して当該ブロックの動作を制御する。

【0058】因みに、コミュニケーション CPU 31 は、内部にコンピュータ 2 の外部インターフェイス 27 に対応した通信用のドライバを有しており、当該ドライバによつてコンピュータ 2 から送られてくる制御信号 S 1 を受信するようになされている。またデバイス制御用 CPU 32~34 は内部に RS-422 規格のドライバを有しており、当該ドライバによつて RS-422 規格の制御信号 S 5、S 6、S 9 又は S 12 を各デバイスに送出するようになされている。

【0059】続いて図 5 を用いてマトリクススイッチャ部 3B について説明する。この図 5 に示すように、マトリクススイッチャ部 3B は大きく分けて制御回路 40、マトリクススイッチャブロック 41 及びフォーマット変換ブロック 42 からなっている。制御回路 40 はこのマトリクススイッチャ部 3B の全体を制御する回路であり、コントロールバス 3E を介して受けた制御コマンドに基づいて制御信号 S 20、S 21 を生成し、当該制御信号 S 20、S 21 をそれぞれマトリクススイッチャブロック 41、フォーマット変換ブロック 42 に出力してその動作を制御する。

【0060】マトリクススイッチャブロック 41 は、入力端子 IN 1~IN 11 にそれぞれ接続される複数の入力ラインと、出力端子 OUT 1~OUT 13 にそれぞれ接続される複数の出力ラインとが格子状に配列されており、入力ラインと出力ラインが交差するクロスポイント (図中×印で示す) の所で当該入力ラインと出力ライン

を接続し得るようになされている。このためマトリクススイッチャブロック 41 は、制御回路 40 から供給される制御信号 S 20 に基づいて所望のクロスポイントの所で入力ラインと出力ラインを接続すれば、入力端子 IN 1~IN 11 に入力された所望の信号を所望の出力端子 OUT 1~OUT 13 に出力することができる。

【0061】因みに、このマトリクススイッチャ部 3B においては、デイレシーバ 6、VTR 7 及びローカルストレージ 8 の各デバイスから読み出されたビデオ及びオーディオ信号がそれぞれ入力端子 IN 1~IN 8 に入力されるようになされている (但し、この図 5 の例では、入力端子 IN 1~IN 5 にビデオ及びオーディオ信号 S 7、S 8、S 10、S 13、S 14 が入力され、入力端子 IN 5~IN 8 は空き端子となつている)。また入力端子 IN 9 及び IN 10 には画像処理部 3C によつて画像処理が施されたビデオ信号 S 31、S 32 がそれぞれ入力され、入力端子 IN 11 には音声処理部 3D によつて信号処理が施されたオーディオ信号 S 33 が入力されるようになされている。

【0062】またこのマトリクススイッチャ部 3B においては、出力端子 OUT 1 はローカルストレージ 8 にビデオ及びオーディオ信号 S 15 を出力するための端子として割り当てられ、出力端子 OUT 2 は VTR 7 にビデオ及びオーディオ信号 S 11 を出力するための端子として割り当てられ、出力端子 OUT 3 はオンエアパツファ 9 にビデオ及びオーディオ信号 S 16 を出力するための端子として割り当てられており、出力端子 OUT 1~OUT 3 はそれぞれプログラム出力用の端子として割り当てられている。また出力端子 OUT 4 はプレビュー専用のモニタ 13 にビデオ信号 S 19 を出力するためのプレビュー用の出力端子として割り当てられており、出力端子 OUT 5 はコンピュータ 2 にビデオ信号 S 2 を出力するためのキャプチャ用の出力端子として割り当てられている。さらに出力端子 OUT 6~OUT 10 は画像処理部 3C にビデオ及びオーディオ信号 S 23~S 27 を出力するための端子として割り当てられ、出力端子 OUT 11~OUT 13 は音声処理部 3D にビデオ及びオーディオ信号 S 28~S 30 を出力するための端子として割り当てられている。

【0063】フォーマット変換ブロック 42 は、制御回路 40 から供給される制御信号 S 21 に基づいて、出力端子 OUT 1~OUT 5 に出力する信号を SDI 規格の信号に変換する回路ブロックであり、出力端子 OUT 1~OUT 3 に出力する信号をフォーマット変換するアウトプットプロセッサ 43 及びオーディオコンバイナ 44 と、出力端子 OUT 4 に出力する信号をフォーマット変換するアウトプットプロセッサ 45 と、出力端子 OUT 5 に出力する信号をフォーマット変換するアウトプットプロセッサ 46 とを有している。

【0064】アウトプットプロセッサ 43 は、画像処理

部 3 C によつて画像処理されたビデオ信号 (すなわち入力端子 IN 9 又は IN 10 に入力されるビデオ信号 S 3 1 又は S 3 2) を出力するとき、当該ビデオ信号 S 3 1 又は S 3 2 を S D I 規格のビデオ信号に変換する。オーディオコンバイナ 4 4 は、音声処理部 3 D によつて処理されたエンベデットオーディオ信号 (すなわち入力端子 IN 11 に入力されるオーディオ信号 S 3 3) を出力するとき、アウトプットプロセッサ 4 3 から出力される S D I 規格のビデオ信号に当該エンベデットオーディオ信号 S 3 3 を重畳する。これにより画像処理部 3 C によつて処理されたビデオ信号 S 3 1、S 3 2 や音声処理部 3 D によつて処理されたオーディオ信号 S 3 3 を S D I 規格の信号でローカルストレージ 8 や V T R 7 或いはオンエアパツファ 9 に送出し得る。因みに、入力端子 IN 1 ~ IN 8 に入力されたビデオ及びオーディオ信号を出力端子 OUT 1 ~ OUT 3 に出力する場合には、当該ビデオ及びオーディオ信号が S D I 規格で各デバイスから出力されているので、アウトプットプロセッサ 4 3 及びオーディオコンバイナ 4 4 は何ら処理せず、入力されるビデオ及びオーディオ信号をそのまま出力端子 OUT 1 ~ OUT 3 に出力する。

【0065】アウトプットプロセッサ 4 5、4 6 も、同様に、それぞれ画像処理部 3 C によつて画像処理されたビデオ信号 S 3 1 又は S 3 2 を出力端子 OUT 4 又は OUT 5 に出力するとき、当該ビデオ信号 S 3 1 又は S 3 2 を S D I 規格のビデオ信号に変換する。これにより画像処理部 3 C によつて処理されたビデオ信号 S 3 1 又は S 3 2 を S D I 規格の信号でプレビュー専用のモニタ 1 3 やコンピュータ 2 に送出し得る。因みに、このアウトプットプロセッサ 4 5、4 6 も、入力端子 IN 1 ~ IN 8 に入力されたビデオ及びオーディオ信号を出力端子 OUT 4、OUT 5 に出力する場合には、当該ビデオ及びオーディオ信号に何ら処理せず、そのまま出力端子 OUT 4、OUT 5 に出力する。

【0066】続いて図 6 を用いて画像処理部 3 C について説明する。この図 6 に示すように、画像処理部 3 C は大きく分けて制御回路 5 0 と、デマルチプレクサブロック 5 1 と、スイッチャブロック 5 2 と、特殊効果ブロック 5 3 と、ミキサブロック 5 4 とを有している。制御回路 5 0 はこの画像処理部 3 C の全体を制御する回路であり、コントロールバス 3 E を介して受けた制御コマンドに基づいて制御信号 S 4 0、S 4 1、S 4 2、S 4 3 を生成し、当該制御信号 S 4 0、S 4 1、S 4 2、S 4 3 をそれぞれデマルチプレクサブロック 5 1、スイッチャブロック 5 2、特殊効果ブロック 5 3、ミキサブロック 5 4 に出力してその動作を制御する。これによりこの画像処理部 3 C では、マトリクススイッチャ部 3 B から供給されたビデオ信号 (S 2 3 ~ S 2 7) に対して画像処理を施す。因みに、ここで言う画像処理とは、ソースビデオ信号に特殊効果を施したり、バックグラウンドビデオ

信号に特殊効果のかかったビデオ信号を挿入したりするアニメーションエフェクトや、バックグラウンドビデオ信号からフオアグラウンドビデオ信号に映像を切り換えるトランジションエフェクトのことである。

【0067】デマルチプレクサブロック 5 1 は、S D I 規格の信号形式で送られてくるビデオ及びオーディオ信号 S 2 3 ~ S 2 7 からビデオ信号又はキー信号を抽出するブロックである。このデマルチプレクサブロック 5 1 は、入力されるビデオ及びオーディオ信号 S 2 3 ~ S 2 7 からそれぞれ信号抽出を行う 5 つのデマルチプレクサ回路 5 1 A ~ 5 1 E からなっている。デマルチプレクサ回路 5 1 A は、ビデオ及びオーディオ信号 S 2 3 を形成する各パケットのペイロード部からキー信号を抽出する回路であり、当該キー信号の先頭に配置されている同期信号及びヘッダ情報に基づいて抽出を行う。またデマルチプレクサ回路 5 1 B は、ビデオ及びオーディオ信号 S 2 4 を形成する各パケットのペイロード部からビデオ信号を抽出する回路であり、当該ビデオ信号の先頭に配置されている同期信号及びヘッダ情報に基づいて抽出を行う。同様に、デマルチプレクサ回路 5 1 C はビデオ及びオーディオ信号 S 2 5 からキー信号を抽出し、デマルチプレクサ回路 5 1 D はビデオ及びオーディオ信号 S 2 6 からビデオ信号を抽出し、デマルチプレクサ回路 5 1 E はビデオ及びオーディオ信号 S 2 7 からビデオ信号を抽出する。

【0068】スイッチャブロック 5 2 は、抽出されたキー信号及びビデオ信号に対してトランジションエフェクトのための処理を施すブロックであり、ワイプ信号発生器 5 2 A、5 2 B、キー信号処理回路 5 2 C、5 2 D、及びビデオ信号処理回路 5 2 E、5 2 F からなっている。ワイプ信号発生器 5 2 A は、制御回路 5 0 からの制御信号 S 4 1 に基づいてオペレータが指定したトラジションエフェクトに対応するワイプ信号を生成し、当該ワイプ信号をキー信号処理回路 5 2 C 及びビデオ信号処理回路 5 2 E に送出する。キー信号処理回路 5 2 C は、供給されるワイプ信号に基づいてデマルチプレクサ回路 5 1 A から供給されるキー信号を当該ワイプ信号に対応するように変換し (又は供給されるワイプ信号に基づいて当該ワイプ信号に対応する所望のキー信号を新たに生成する)、その結果得られるキー信号を後述するミキサブロック 5 4 に送出する。またビデオ信号処理回路 5 2 B は、供給されるワイプ信号に基づいてデマルチプレクサ回路 5 1 B から供給されるビデオ信号を当該ワイプ信号に対応するように変換し、その結果得られるビデオ信号を後述するミキサブロック 5 4 に送出する。

【0069】同様に、ワイプ信号発生器 5 2 B は、制御回路 5 0 からの制御信号 S 4 1 に基づいてオペレータが指定したトラジションエフェクトに対応するワイプ信号を生成し、当該ワイプ信号をキー信号処理回路 5 2 D 及びビデオ信号処理回路 5 2 F に送出する。キー信号処理

回路 5 2 D は、供給されるワイプ信号に基づいてデマルチプレクサ回路 5 1 C から供給されるキー信号を当該ワイプ信号に対応するように変換し（又は供給されるワイプ信号に基づいて当該ワイプ信号に対応する所望のキー信号を新たに生成する）、その結果得られるキー信号を後述する特殊効果ブロック 5 3 に送出する。またビデオ信号処理回路 5 2 F は、供給されるワイプ信号に基づいてデマルチプレクサ回路 5 1 D から供給されるビデオ信号を当該ワイプ信号に対応するように変換し、その結果得られるビデオ信号を後述する特殊効果ブロック 5 3 に送出する。

【0070】特殊効果ブロック 5 3 は、制御回路 5 0 から供給される制御信号 S 4 2 に基づいて、キー信号処理回路 5 2 D から出力されるキー信号及びビデオ信号処理回路 5 2 F から出力されるビデオ信号を 3 次元的に画像変換するためのブロックであり、3 次元アドレス発生回路 5 3 A、フレームメモリ 5 3 B、5 3 C 及び補間回路 5 3 D、5 3 E からなっている。3 次元アドレス発生回路 5 3 A は、制御信号 S 4 2 に基づいて、オペレータが指定した 3 次元的な画像変換を行うための変換アドレスを生成し、当該変換アドレスをフレームメモリ 5 3 B、5 3 C 及び補間回路 5 3 D、5 3 E に出力する。

【0071】フレームメモリ 5 3 B は、キー信号処理回路 5 2 D から供給されるキー信号を順次内部のメモリ領域に格納すると共に、その格納されたキー信号を変換アドレスに基づいて読み出すことにより、当該キー信号に対して 3 次元的な画像変換を施し、その結果得られるキー信号を補間回路 5 3 D に送出する。同様に、フレームメモリ 5 3 B は、ビデオ信号処理回路 5 2 F から供給されるビデオ信号を順次内部のメモリ領域に格納すると共に、その格納されたビデオ信号を変換アドレスに基づいて読み出すことにより、当該ビデオ信号に対して 3 次元的な画像変換を施し、その結果得られるビデオ信号を補間回路 5 3 E に送出する。

【0072】補間回路 5 3 D は 3 次元的な変換処理が施されたキー信号に補間処理を施す回路であり、変換アドレスに基づいてキー信号の画素を空間的に補間し、その結果得られるキー信号を後述するミキサブロック 5 4 に送出する。同様に、補間回路 5 3 E は 3 次元的な変換処理が施されたビデオ信号に補間処理を施す回路であり、変換アドレスに基づいてビデオ信号の画素を空間的に補間し、その結果得られるビデオ信号を後述するミキサブロック 5 4 に送出する。

【0073】ミキサブロック 5 4 は制御信号 S 4 3 による指示に従ってビデオ信号を合成するブロックであり、2 つのミックス回路 5 4 A、5 4 B からなっている。ミックス回路 5 4 A は、特殊効果ブロック 5 3 から出力されるキー信号に基づいて、当該特殊効果ブロック 5 3 によつて画像変換されたビデオ信号とデマルチプレクサ回路 5 1 E から出力されるバックグラウンドビデオ信号と

してのビデオ信号とを合成することによりビデオ信号 S 3 1 を生成する。またミックス回路 5 4 B は、スイッチャブロック 5 2 から出力されるキー信号に基づいて、当該スイッチャブロック 5 2 から出力されるビデオ信号とミックス回路 5 4 A から出力されるビデオ信号 S 3 1 とを合成することによりビデオ信号 S 3 2 を生成する。このようにして生成されたビデオ信号 S 3 1、S 3 2 は、上述したようにマトリクススイッチャ部 3 B に送出される。

【0074】因みに、単に 2 つの映像を切り換えるだけのトランジションエフェクトを行う場合には、デマルチプレクサ回路 5 1 E から出力されるビデオ信号をバックグラウンドビデオ信号としてミックス回路 5 4 A を介してミックス回路 5 4 B に入力すると共に、ビデオ信号処理回路 5 2 E から出力されるビデオ信号をフオアグラウンドビデオ信号としてミックス回路 5 4 B に入力し、その 2 つのビデオ信号をキー信号処理回路 5 2 C から出力されるキー信号に基づいて合成する。これによりバックグラウンドビデオ信号からフオアグラウンドビデオ信号に切り換わるビデオ信号 S 3 2 が生成される。

【0075】またページターンのような画像変換を伴うトランジションエフェクトを行う場合には、デマルチプレクサ回路 5 1 E から出力されるビデオ信号をバックグラウンドビデオ信号としてミックス回路 5 4 A に入力すると共に、ビデオ信号処理回路 5 2 F から出力されるビデオ信号をフオアグラウンドビデオ信号として特殊効果ブロック 5 3 を介して画像変換した後にミックス回路 5 4 A に入力し、その 2 つのビデオ信号を特殊効果ブロック 5 3 を介して信号処理されたキー信号に基づいて合成する。これによりページをめくるようにしてバックグラウンドビデオ信号からフオアグラウンドビデオ信号に切り換わるビデオ信号 S 3 1 が生成される。

【0076】またピクチャインピクチャのようなアニメーションエフェクトを行う場合には、デマルチプレクサ回路 5 1 E から出力されるビデオ信号をバックグラウンドビデオ信号としてミックス回路 5 4 A に入力すると共に、ビデオ信号処理回路 5 2 F から出力されるビデオ信号を挿入素材として特殊効果ブロック 5 3 を介して画像変換した後にミックス回路 5 4 A に入力し、その 2 つのビデオ信号を特殊効果ブロック 5 3 を介して信号処理されたキー信号に基づいて合成する。これによりバックグラウンドビデオ信号に挿入素材が挿入されたピクチャインピクチャのビデオ信号 S 3 1 が生成される。

【0077】続いて図 7 を用いて音声処理部 3 D について説明する。この図 7 に示すように、音声処理部 3 D は大きく分けて制御回路 5 5、入力信号処理ブロック 5 6、補助入力信号処理ブロック 5 7、ミキサブロック 5 8 及び出力信号処理ブロック 5 9 からなっている。制御回路 5 5 はこの音声処理部 3 D の全体を制御する回路であり、コントロールバス 3 E を介して受けた制御コマン

ドに基づいて制御信号 S 45、S 46、S 47、S 48 を生成し、当該制御信号 S 45、S 46、S 47、S 48 をそれぞれ入力信号処理ブロック 56、補助入力信号処理ブロック 57、ミキサブロック 58、出力信号処理ブロック 59 に出力してその動作を制御する。これによりこの音声処理部 3D では、マトリクススイッチャ部 3B から供給されたオーディオ信号 (S 28~S 30) に対して音声処理が施される。困みに、ここで言う音声処理とは、オーディオ信号のレベル調整と合成のことである。

【0078】入力信号処理ブロック 56 は、SDI 規格の信号形式がパラレル化され送られてくるビデオ及びオーディオ信号 S 28~S 30 からオーディオ信号を抽出し、そのオーディオ信号を信号処理部 (DSP 部) で処理するために DSP フォーマットのオーディオ信号に変換して送出するブロックである。この入力信号処理ブロック 56 は、信号分離回路としてのセパレータ 56A~56C を有している。セパレータ 56A~56C は、それぞれパラレル化された SDI 規格のビデオ及びオーディオ信号 S 28~S 30 から DSP フォーマットのオーディオ信号を抽出する回路である。すなわち、セパレータ 56A~56C は、入力されるビデオ及びオーディオ信号 S 28~S 30 からエンベデッドオーディオ信号を抽出して、シリアル化した後オーディオ信号をそれぞれミキサブロック 58 に送出する。

【0079】補助入力信号処理ブロック 57 は、外部から入力される AES/EBU (Audio Engineering Society / European Broadcasting Union) フォーマットのオーディオ信号を DSP フォーマットのオーディオ信号に変換するブロックである。この補助入力信号処理ブロック 57 は、レート変換のためのサンプリングレートコンバータ 57A~57D と、フォーマット変換回路としてのデコーダ 57E~57H とを有している。サンプリングレートコンバータ 57A~57D では、供給された AES/EBU フォーマットのオーディオ信号の異なるサンプリングレートが音声処理部 3D 内の所定のサンプリングレートに変換される。サンプリングレートが変換されたオーディオ信号は、デコーダ 57E~57H に送出される。デコーダ 57E~57H は、それぞれオーディオ信号をフォーマット変換する回路であり、入力される AES/EBU フォーマットのオーディオ信号をそれぞれ DSP フォーマットのオーディオ信号に変換し、その結果得られるオーディオ信号をそれぞれミキサブロック 58 に送出する。

【0080】ミキサブロック 58 は、オーディオ信号のレベル調整を行うと共に、信号合成を行うブロックであり、可変抵抗回路 58A~58N と、加算回路 58O、58P と、可変抵抗回路 58A~58N の信号レベルを専用コントローラ 5 へ送信するメタデータ発生回路 58Q とからなっている。入力信号処理ブロック 56 から

供給されたオーディオ信号及び補助入力信号処理ブロック 57 から供給されたオーディオ信号は、それぞれ右側成分と左側成分に分離された後に可変抵抗回路 58A~58G と可変抵抗回路 58H~58N に入力される。可変抵抗回路 58A~58G と 58H~58N は、コンピュータ 2 のモニタ 2B に表示される GUI のオーディオフェーダ又は専用コントローラ 5 に設けられたオーディオフェーダの操作に連動して抵抗値が変化するようになされており、これにより入力されるオーディオ信号をそれぞれオペレータが指定した信号レベルにレベル調整する。

【0081】可変抵抗回路 58A~58G によつてレベル調整されたオーディオ信号は、それぞれ加算回路 58O に入力され、ここで加算された後に出力信号処理ブロック 59 に送出される。同様に、可変抵抗回路 58H~58N によつてレベル調整されたオーディオ信号は、それぞれ加算回路 58P に入力され、ここで加算された後に出力信号処理ブロック 59 に送出される。メタデータ発生回路 58Q は、後述する専用コントローラ 5 のパネルのデジタルメータを直接制御するように、この時の信号レベルをデータへ変換する。変換されたデータは、専用コントローラ 5 へ送出される。

【0082】出力信号処理ブロック 59 は出力する DSP フォーマットのオーディオ信号を SDI 規格の信号形式をパラレル化したエンベデッド・オーディオ信号に変換するブロックである。この出力信号処理ブロック 59 は、信号合成回路としてのエンベデッド回路 59A と、フォーマット変換回路としてのエンコーダ 59B、59C とを有している。エンベデッド回路 59A は、マトリクススイッチャ部 3B のコンバイナ 44 によつてオーディオ信号を SDI 規格のビデオ信号に重畳し得るように所定の信号形式に信号変換を行う回路であり、加算回路 58O 及び 58P から供給されたシリアルオーディオ信号を合成した後に所定の信号形式、すなわちパラレルのエンベデッド・オーディオ信号に信号変換を行う。この処理により得られたエンベデッド・オーディオ信号 S 33 は、上述したようにマトリクススイッチャ部 3B のコンバイナ 44 に送出される。

【0083】エンコーダ 59B は DSP フォーマットのオーディオ信号を AES/EBU フォーマットのオーディオ信号にフォーマット変換する回路であり、加算回路 58O から出力されたオーディオ信号を AES/EBU フォーマットのオーディオ信号 S 17 にフォーマット変換し、音声確認用のスピーカ 11 (図 1 参照) に送出する。同様に、エンコーダ 59C は DSP フォーマットのオーディオ信号を AES/EBU フォーマットのオーディオ信号にフォーマット変換する回路であり、加算回路 58P から出力されたオーディオ信号を AES/EBU フォーマットのオーディオ信号 S 18 にフォーマット変換し、音声確認用のスピーカ 12 (図 1 参照) に送出す

る。

【0084】(4) ローカルストレージの構成  
次にこの項では編集処理装置 3 に接続されるデータ記憶手段としてローカルストレージ 8 について説明する。図 8 に示すように、このローカルストレージ 8 は、入出力インターフェイスとしてのデータ入出力ブロック 60 と、このローカルストレージ 8 全体の動作を制御するシステムコントロールブロック 61 と、ビデオデータを記憶するディスクアレイブロック 62 と、オーディオデータを記憶するディスクアレイブロック 63 とを有している。

【0085】データ入出力ブロック 60 は入力 1 チャンネル、出力 2 チャンネルの構成を有しており、システムコントロールブロック 61 からの制御信号 S 60 に基づいて、編集処理装置 3 から供給されたビデオ及びオーディオ信号 S 15 にデータ記憶に先立つて所定の信号処理を施すと共に、ディスクアレイブロック 62、63 から読み出したデータに所定の信号処理を施してビデオ及びオーディオ信号 S 13、S 14 として出力する。

【0086】具体的に説明すると、まず編集処理装置 3 から供給されたビデオ及びオーディオ信号 S 15 はエンコーダ 60A に入力される。エンコーダ 60A は S D I 規格のビデオ及びオーディオ信号 S 15 からビデオ信号 S 61 とオーディオ信号 S 62 を抽出し、当該ビデオ信号 S 61 をビデオ圧縮回路 60B に出力すると共に、オーディオ信号 S 62 をオーディオ圧縮回路 60J に出力する。ビデオ圧縮回路 60B は、圧縮率 1/10 の M P E G 規格でビデオ信号 S 61 を圧縮し、その圧縮したビデオデータをバッファメモリ 60C に格納する。同様に、オーディオ圧縮回路 60J は、所定の音声圧縮方式を用いてオーディオ信号 S 62 を圧縮し、その圧縮したオーディオデータをバッファメモリ 60K に格納する。バッファメモリ 60C、60K に格納されたビデオデータとオーディオデータは、システムコントロールブロック 61 の制御の基に順次読み出され、ビデオデータ用のディスクアレイブロック 62 とオーディオ用のディスクアレイブロック 63 にそれぞれ記録される。

【0087】一方、再生第 1 チャンネルのビデオデータとしてディスクアレイブロック 62 から読み出されたビデオデータは、システムコントロールブロック 61 の制御の基に、順次バッファメモリ 60F に格納される。同様に、再生第 1 チャンネルのオーディオデータとしてディスクアレイブロック 63 から読み出されたオーディオデータは、システムコントロールブロック 61 の制御の基に、順次バッファメモリ 60M に格納される。第 1 のビデオ伸長回路 60E は、圧縮率 1/10 の M P E G 規格で圧縮されているビデオデータをバッファメモリ 60F から読み出し、当該ビデオデータを伸長処理した後、そのビデオデータ S 63 を第 1 のデコーダ 60D に出力する。同様に、第 1 のオーディオ伸長回路 60L は、圧縮

されているオーディオデータをバッファメモリ 60M から読み出し、当該オーディオデータを伸長処理した後、そのオーディオデータ S 64 を第 1 のデコーダ 60D に出力する。第 1 のデコーダ 60D は S D I 規格のフォーマットに基づいてビデオデータ S 63 にオーディオデータ S 64 を重畳する。これによりディスクアレイブロック 62 から読み出した再生第 1 チャンネルのビデオデータと、ディスクアレイブロック 63 から読み出した再生第 1 チャンネルのオーディオデータとを S D I 規格のビデオ及びオーディオ信号 S 13 として送出し得る。

【0088】同様に、再生第 2 チャンネルのビデオデータとしてディスクアレイブロック 62 から読み出されたビデオデータは、システムコントロールブロック 61 の制御の基に、順次バッファメモリ 60I に格納される。また再生第 2 チャンネルのオーディオデータとしてディスクアレイブロック 63 から読み出されたオーディオデータも、システムコントロールブロック 61 の制御の基に、順次バッファメモリ 60P に格納される。第 2 のビデオ伸長回路 60H は、圧縮率 1/10 の M P E G 規格で圧縮されているビデオデータをバッファメモリ 60I から読み出し、当該ビデオデータを伸長処理した後、そのビデオデータ S 65 を第 2 のデコーダ 60G に出力する。同様に、第 2 のオーディオ伸長回路 60N も、圧縮されているオーディオデータをバッファメモリ 60P から読み出し、当該オーディオデータを伸長処理した後、そのオーディオデータ S 66 を第 2 のデコーダ 60G に出力する。第 2 のデコーダ 60G は S D I 規格のフォーマットに基づいてビデオデータ S 65 にオーディオデータ S 66 を重畳する。これによりディスクアレイブロック 62 から読み出した再生第 2 チャンネルのビデオデータと、ディスクアレイブロック 63 から読み出した再生第 2 チャンネルのオーディオデータとを S D I 規格のビデオ及びオーディオ信号 S 14 として送出し得る。

【0089】システムコントロールブロック 61 は、このローカルストレージ 8 の全体を制御するブロックであり、C P U 61A と、D M A コントローラ (Direct Memory Access controller) 61B、61C と、S C S I プロトコルコントローラ 61D、61E と、制御信号 S 12 の入力インターフェイス 61F とを有している。C P U 61A はシステムコントロールブロック 61 の中心的存在である制御回路を構成しており、編集処理装置 3 から R S - 422 の通信プロトコルで送られてくる制御信号 S 12 を入力インターフェイス 61F を介して受け、その制御信号 S 12 が示す制御コマンドに基づいて、D M A コントローラ 61B、61C と S C S I プロトコルコントローラ 61D、61E の動作を制御する。

【0090】このように、ビデオデータなどのような大容量のデータを記録する場合には、一般的に複数のハードディスクを並列に同時に動作させることが可能なディスクアレイ装置が用いられる。この実施の一形態で用い

られているディスクアレイ装置は、記録するデータの冗長性を持たせてディスクアレイ内のいずれかのハードディスクが故障しても、故障したハードディスクに記録されていたデータを復旧（再構築動作とも言う）することができる機能を有している。一般的に、このような機能を有している装置をRAID（Redundant Array of Inexpensive Disks）と呼んでいる。

【0091】そのディスクアレイの一例を図9に示す。ディスクアレイブロック62は、バッファメモリ62Aと、ディスクアレイコントローラ62Bと、データマルチプレクサ62Cと、パリティデータ演算回路62Dと、SCSIプロトコルコントローラ62E、62F、62G、62H、62Iと、ハードディスク（以下、HDDと称する）62J、62K、62L、62Mと、パリティデータ用のHDD62Nとから構成される。

【0092】ディスクアレイコントローラ62Bは、このブロックの各回路を制御する。バッファメモリ62Aは、SCSIプロトコルコントローラ61Dから供給されたデータを一旦記憶する。データマルチプレクサ62Cは、バッファメモリ62Aから供給されたデータを選択して、各ハードディスクに振り分ける。SCSIプロトコルコントローラ62E、62F、62G、62Hは、SCSIプロトコルに変換する。

【0093】HDD62J、62K、62L、62Mは、振り分けられた一般データを記憶する。パリティデータ演算回路62Dは、データマルチプレクサ62Cによって各HDD62J、62K、62L、62Mに振り分けられるデータを受け取って、これらのデータからパリティデータPDを演算する。パリティデータ用のHDD62Nは、演算されたパリティデータPDを記憶する。

【0094】このパリティデータ演算回路62Dでは、HDD62J、62K、62L、62Nに記憶される各データをD0、D1、D2、D3とすると、 $D0 + D1 + D2 + D3$ が奇数のときは、パリティデータPD=0と演算され、 $D0 + D1 + D2 + D3$ が偶数のときは、パリティデータPD=1と演算される。

【0095】例えば、ディスクアレイコントローラ62Bは、故障によって3番目のHDD62LからデータD2が再生できないことを検出したときには、HDD62Jに記録されているデータD0と、HDD62Kに記録されているデータD1と、HDD62Mに記録されているデータD3と、さらにHDD62Nに記録されているパリティデータPDとを再生して、その再生データをデータマルチプレクサ62Cに供給するように制御する。データマルチプレクサ62Cでは、再構築演算を行って、再構築データRD2が生成される。そして、再構築されたデータRD2及び再生されたデータD0、D1、D3によって元のデータが生成され、出力される。

【0096】（5）編集装置の概略

次に図10の概略図を用いて編集装置を説明する。VTR71A～71nでは、エンベデッド・オーディオ／ビデオ信号が再生される。このVTR71A～71nは、例えばデジタルVTRからなるが、エンベデッド・オーディオ／ビデオ信号が再生できる装置であればどのようなものでも良い。再生されたエンベデッド・オーディオ／ビデオ信号は、デジタルVTR71A～71nから編集処理装置72へ供給される。編集装置72は、上述した編集装置3と対応し、同じ機能を有するものであり、マトリックススイッチャ部3Bに対応するA/Vマトリックス回路72A、画像処理部3Cに対応するビデオプロセッサ回路72B、音声処理部3Dに対応するオーディオセパレータ回路72C及びオーディオプロセッサ回路72D、オーディオコンバイナ44に対応するA/Vコンバイナ72Eから構成される。

【0097】A/Vマトリックス回路72Aでは、供給されたエンベデッド・オーディオ／ビデオ信号がビデオプロセッサ回路72Bへ供給する信号か、オーディオセパレータ回路72Cへ供給する信号かが判断される。ビデオプロセッサ回路72Bへ供給する信号であると判断された信号は、A/Vマトリックス回路72Aからビデオプロセッサ回路72Bへ供給され、オーディオセパレータ回路72Cへ供給する信号であると判断された信号は、オーディオセパレータ回路72Cへ供給される。

【0098】ビデオプロセッサ回路72Bでは、供給されたエンベデッド・オーディオ／ビデオ信号からビデオ信号が取り出される。これは、図11に示すようにオーディオ信号がビデオ信号のブランキング区間に重畳されているため、上述したデータマルチプレクサブロック51内に含まれる通常のブランキング回路を使用することによってオーディオ信号が消去され、ビデオ信号のみを取り出すことができる。取り出されたビデオ信号は、ビデオスイッチャ、ビデオエフェクタ等の処理が行われた後、ビデオプロセッサ回路72BからA/Vコンバイナ72Eに供給される。

【0099】オーディオセパレータ回路72Cでは、供給されたエンベデッド・オーディオ／ビデオ信号からオーディオ信号が抜き取られ、抜き取られたオーディオ信号はオーディオプロセッサ回路72Dへ供給される。オーディオプロセッサ回路72Dでは、供給されたオーディオ信号に対してオーディオミキサ、オーディオエフェクタ等の処理が行われた後、A/Vコンバイナ72Eへ供給される。A/Vコンバイナ72Eでは、図11に示すように、ビデオ信号にオーディオ信号を重畳させ、出力させる。編集されたエンベデッド・オーディオ／ビデオ信号が編集装置72から出力される。

【0100】このように、エンベデッド・オーディオ／ビデオ信号は、オーディオ信号がビデオ信号のブランキング区間に重畳される形で伝送される。すなわち、ビデオ信号を基本にしていることを考慮し、これを利用して

ビデオ信号とオーディオ信号とを分離する前にクロスポイント回路(A/Vマトリックス回路72A)を利用して、それぞれの処理に使用するビデオ信号及びオーディオ信号の存在する信号を選択する。従来の編集装置では、映像用クロスポイントと音声用クロスポイントとは別個に必要であり、それぞれの入力数はもとの入力数と同じ数だけ必要であったことを考えると、全体で見たクロスポイント回路が大幅に減少する。

【0101】さらに、映像処理部は、通常ブランキング回路を有しており、オーディオ信号は映像処理部内で消去され、専用の分離回路は必要としない。よって、分離回路は、選択されたオーディオ信号分のみ必要であることが判る。オーディオセパレータ回路72Cがそれにあたる。通常ももとの入力数よりも、ある編集時点での必要とする音声入力数の方が少ない。故に従来の編集装置のように一旦ビデオ信号とオーディオ信号とを分離した後に編集する方法よりも、この発明が適用されたビデオ信号とオーディオ信号とをそれぞれの処理部に供給した後にビデオ信号とオーディオ信号とを分離する方法が分離回路の数が少ないと考えられ、回路規模を小とすることができ、コストダウンが図れる。

【0102】なお、この実施の一形態では、映像処理部と音声処理部とを一体化としたが、一体化された構成でなくても、音声信号ライン選択後に音声信号のみ取り出すような構成とすることによってシステム全体のコストダウンが図れることは容易に想像できる。

【0103】

【発明の効果】この発明に依れば、従来は結線及び接続機器の多さが高価格の原因の一端となっていたが、エンベデッド・オーディオ/ビデオ信号をそのまま使用する30 ことにより映像処理及び音声処理が一体化されたため、結線数及び入出力回路が低減でき、機器間の接続が少なく済むため、ユーザにとってシステム構成が容易となり、システム全体でコストダウンを図ることができる。

【0104】また、この発明に依れば、編集装置の回路が簡潔となり、機器数が減少することによりシステムの故障を抑えることができる。

\*

\*【0105】さらに、この発明に依れば、エンベデッド・オーディオ/ビデオ信号を使用したか、エンベデッド・オーディオ/ビデオ信号を使用せず従来の信号を使用した場合、オーディオセパレータ回路72Cが不要となるが、結線及び接続機器は、従来の編集装置に比べ非常に少なくなるので、従来の信号を使用してもコストダウンを図ることができる。

【図面の簡単な説明】

【図1】この発明が適用される編集装置の一例の全体構成である。

【図2】この発明に係るコンピュータの一例の内部構成の概略図である。

【図3】この発明が適用される編集処理装置の一例の全体構成である。

【図4】この発明に係るシステムコントロール部の一例の構成である。

【図5】この発明に係るマトリクススイッチャ部の一例の構成である。

【図6】この発明に係る画像処理部の一例の構成である。

【図7】この発明に係る音声処理部の一例の構成である。

【図8】この発明に係るローカルストレージの一例である。

【図9】この発明に係るディスクアレイブロックの一例の構成である。

【図10】この発明の編集装置の実施の一形態の概略図である。

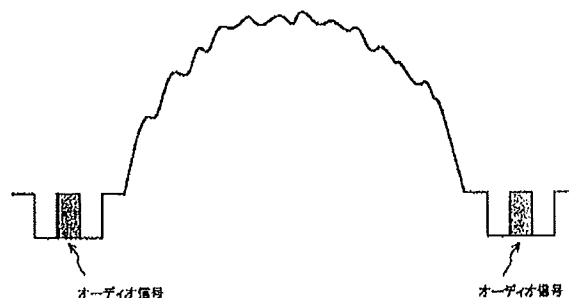
【図11】エンベデッド・オーディオ/ビデオ信号の一例である。

【図12】従来の編集装置の概略図である。

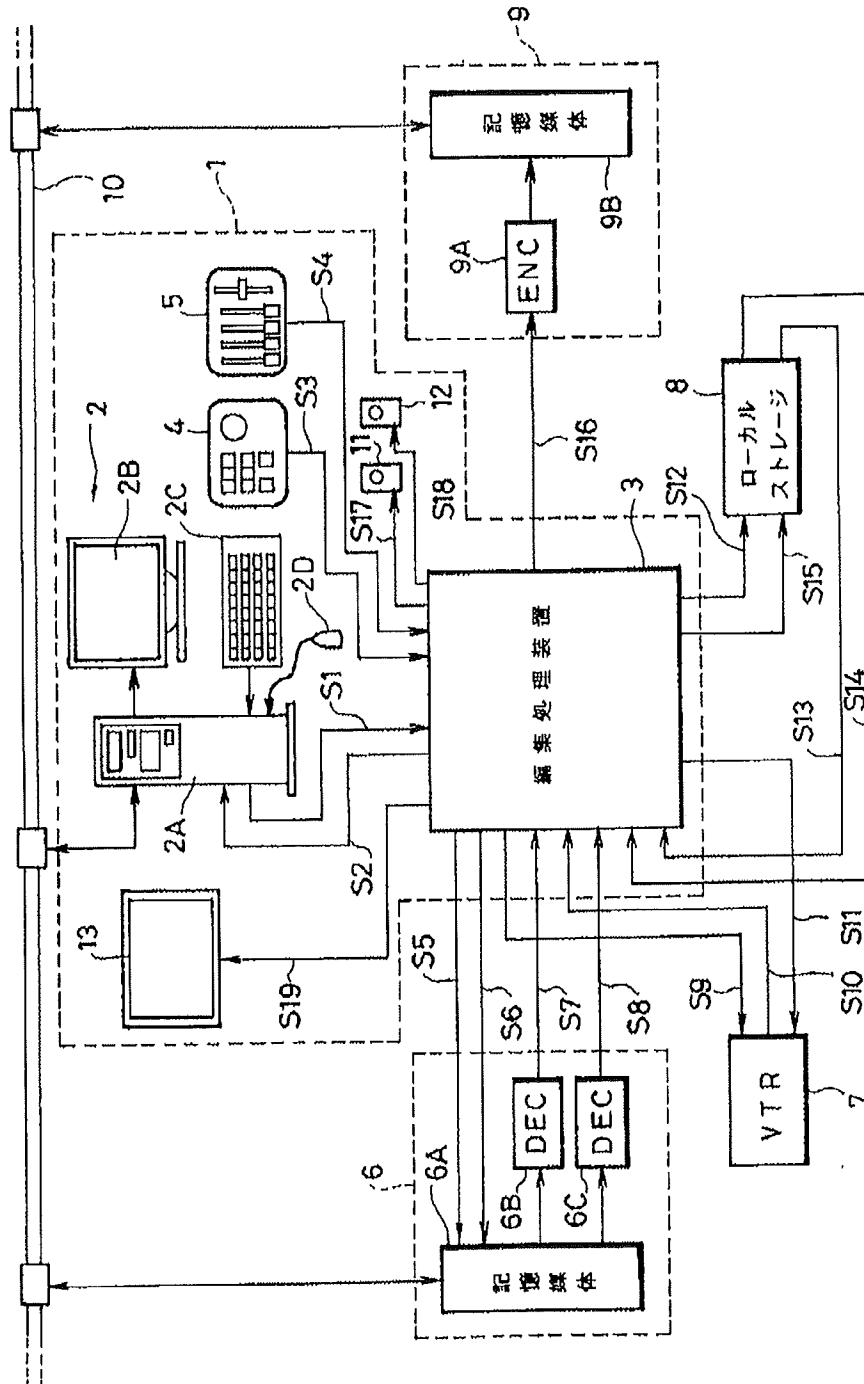
【符号の説明】

71・・・VTR、72・・・編集処理装置、72A・・・A/Vマトリックス、72B・・・ビデオプロセッサ回路、72C・・・オーディオセパレータ回路、72D・・・オーディオプロセッサ回路、72E・・・A/Vコンバイナ

【図11】

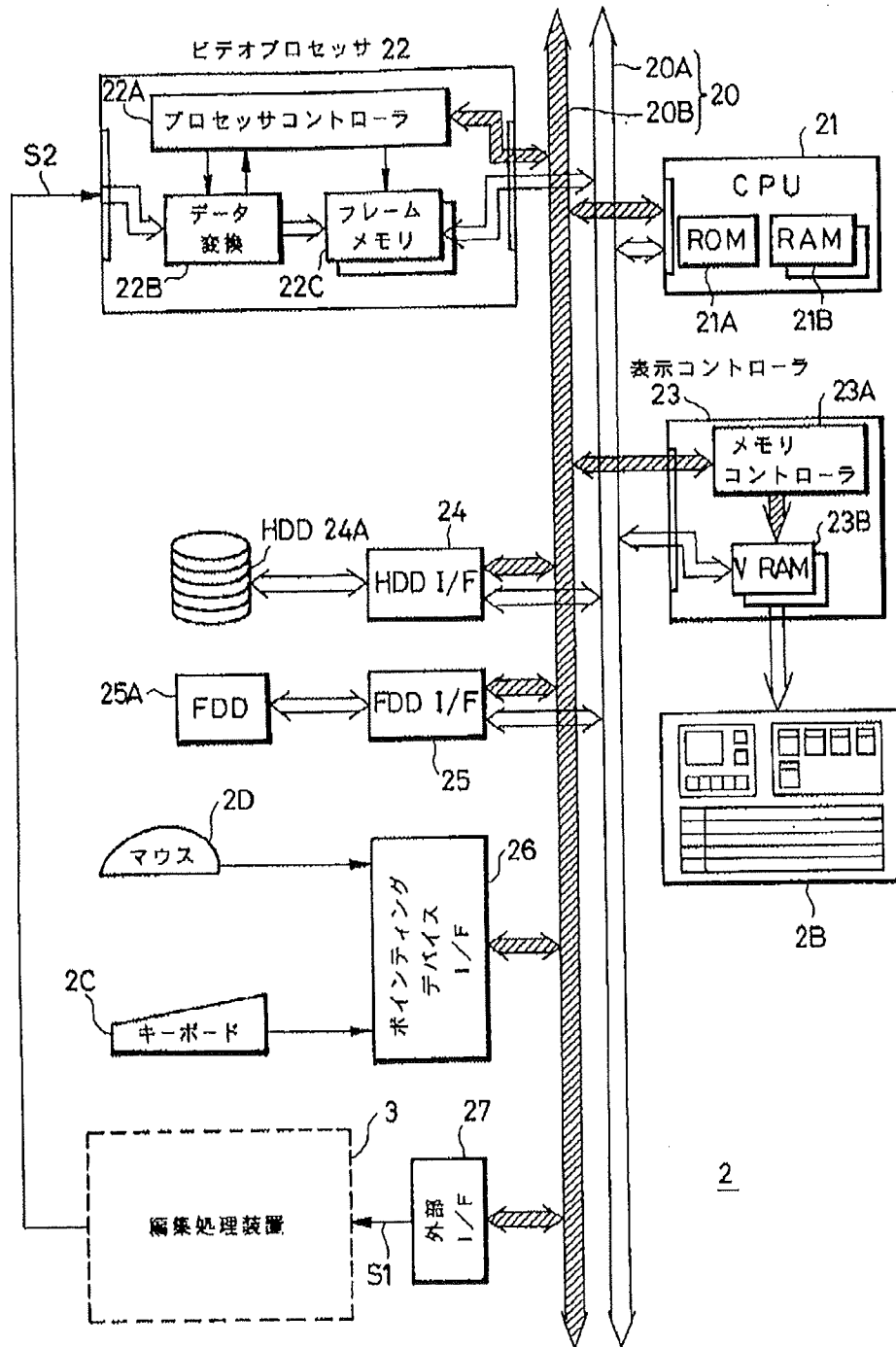


【図1】

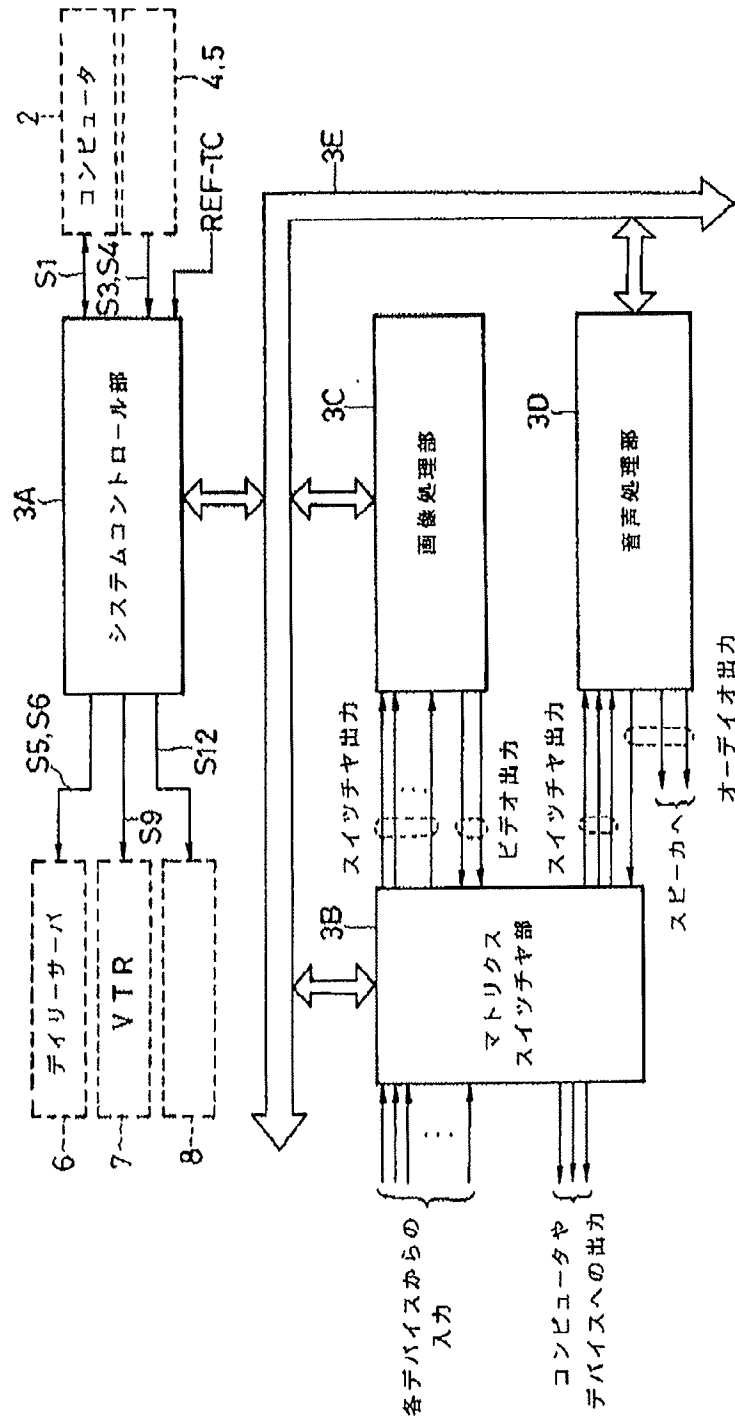




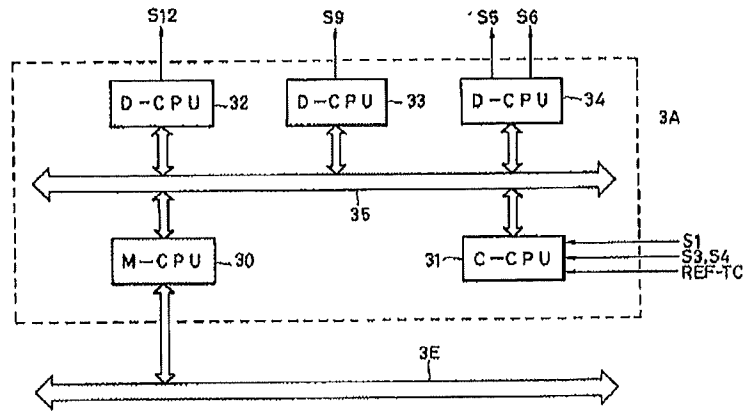
【図2】



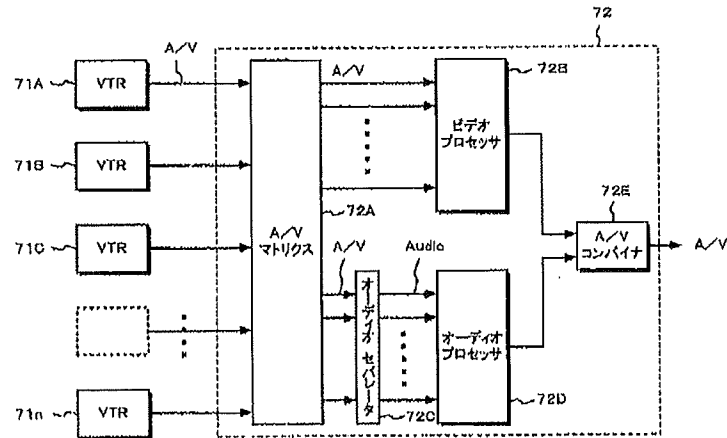
【図3】



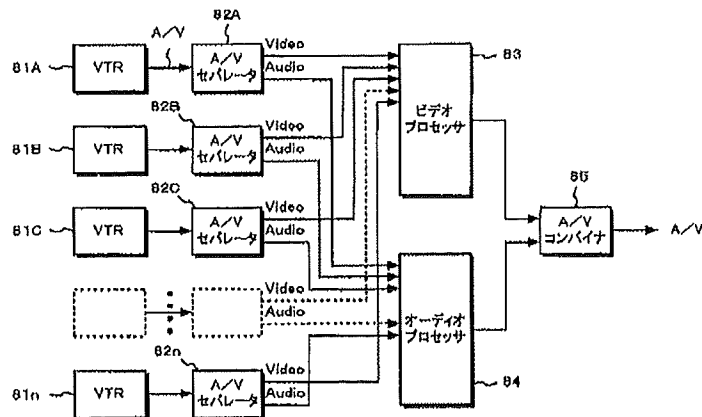
【図4】



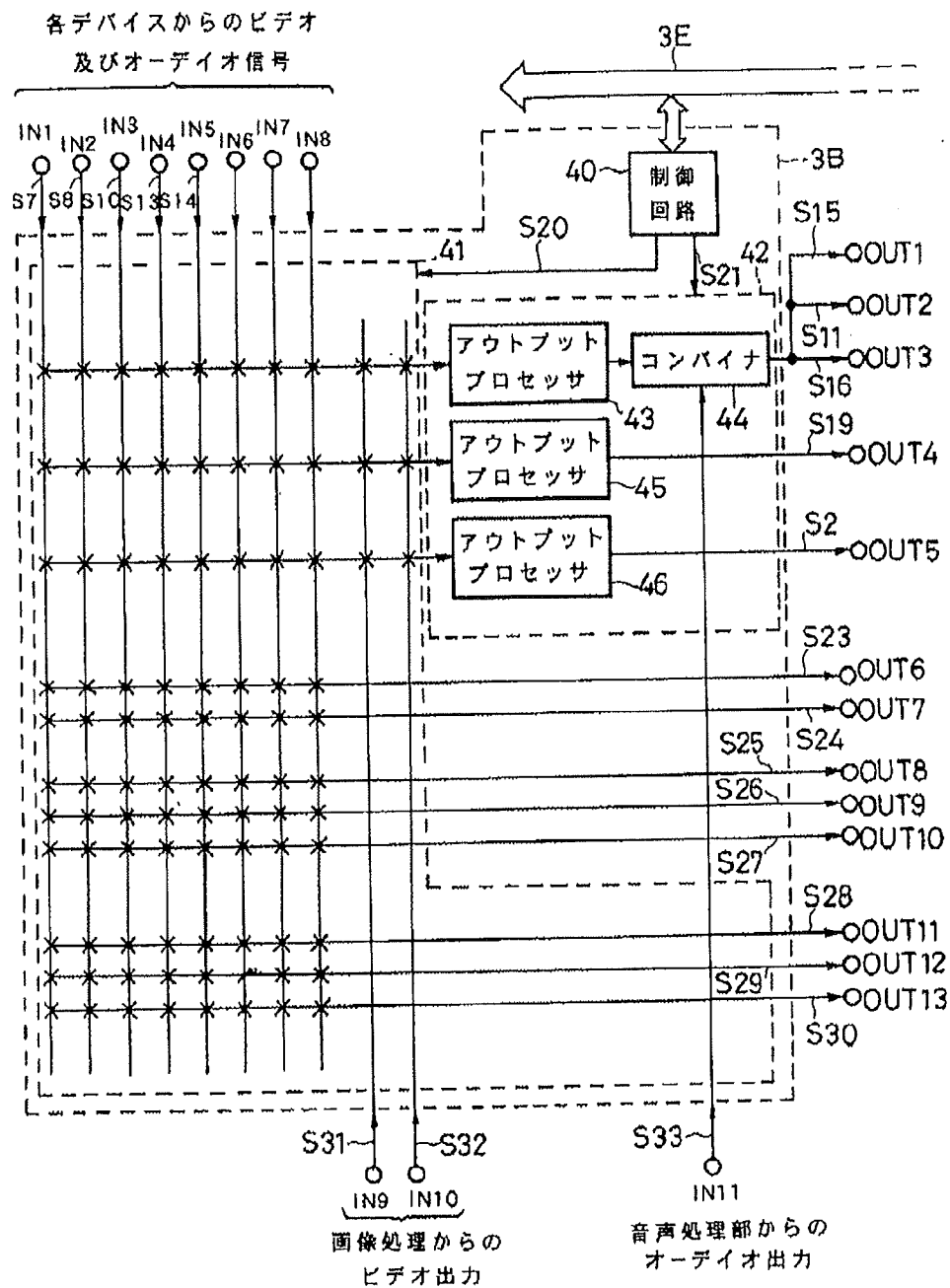
【図10】



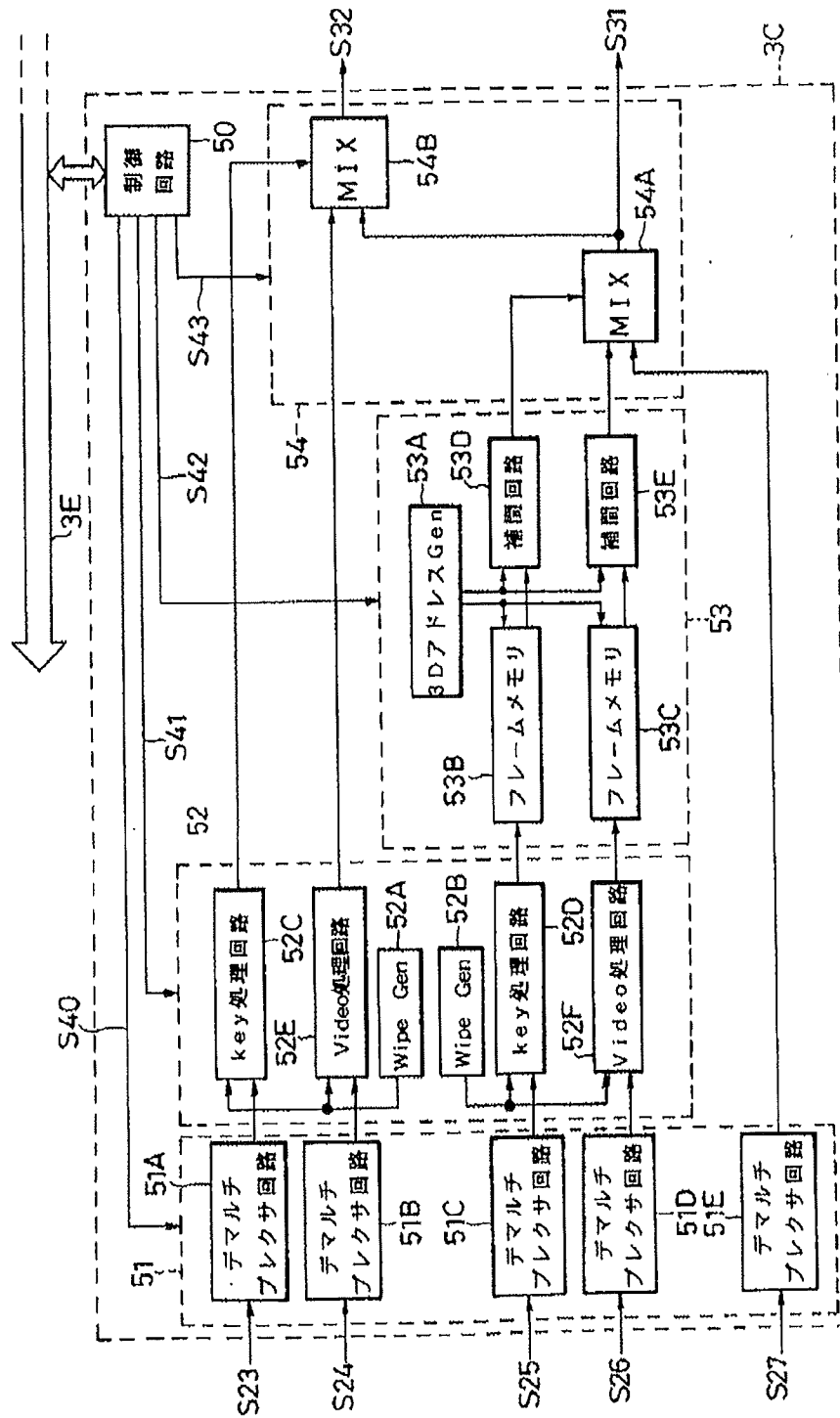
【図12】



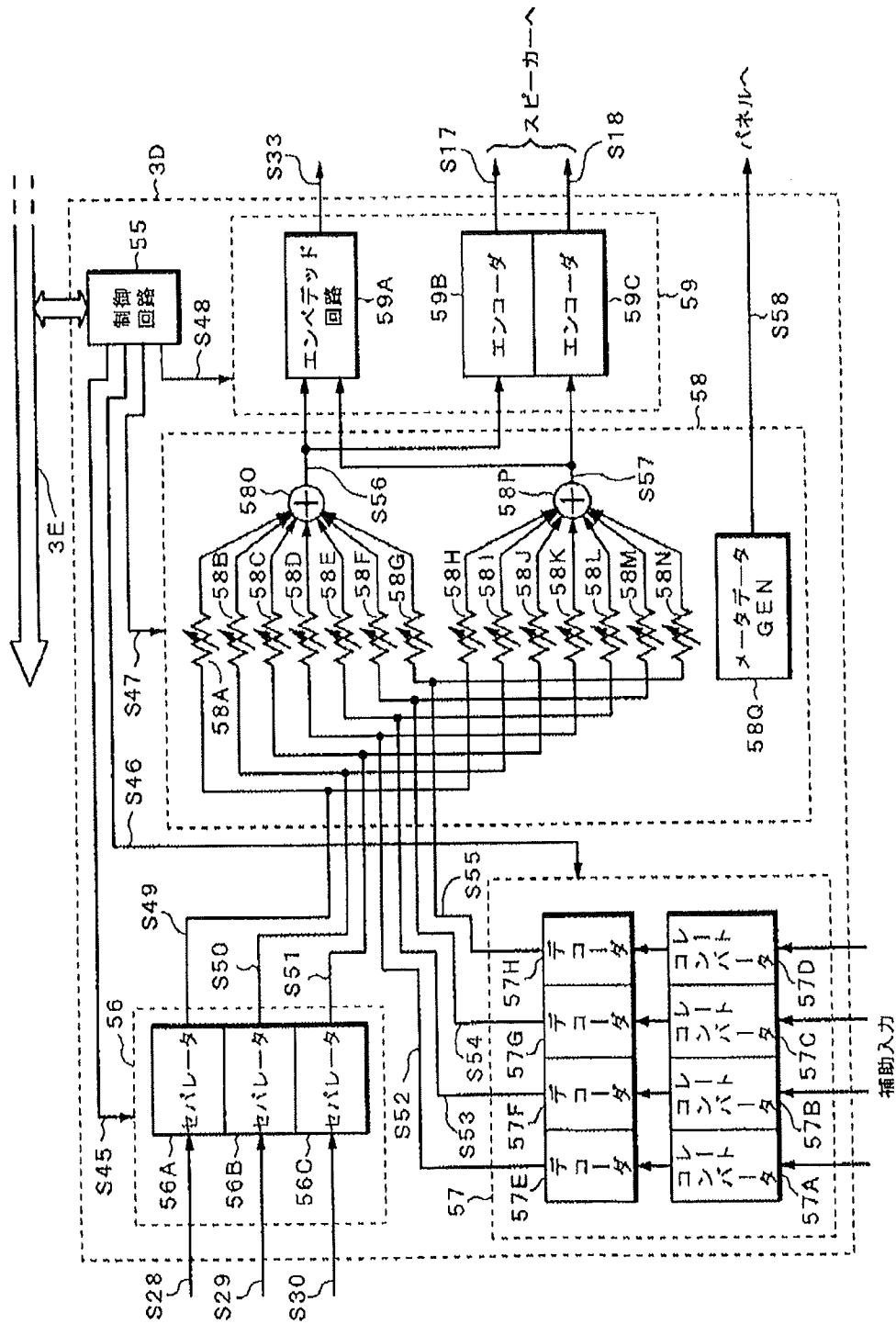
【図5】



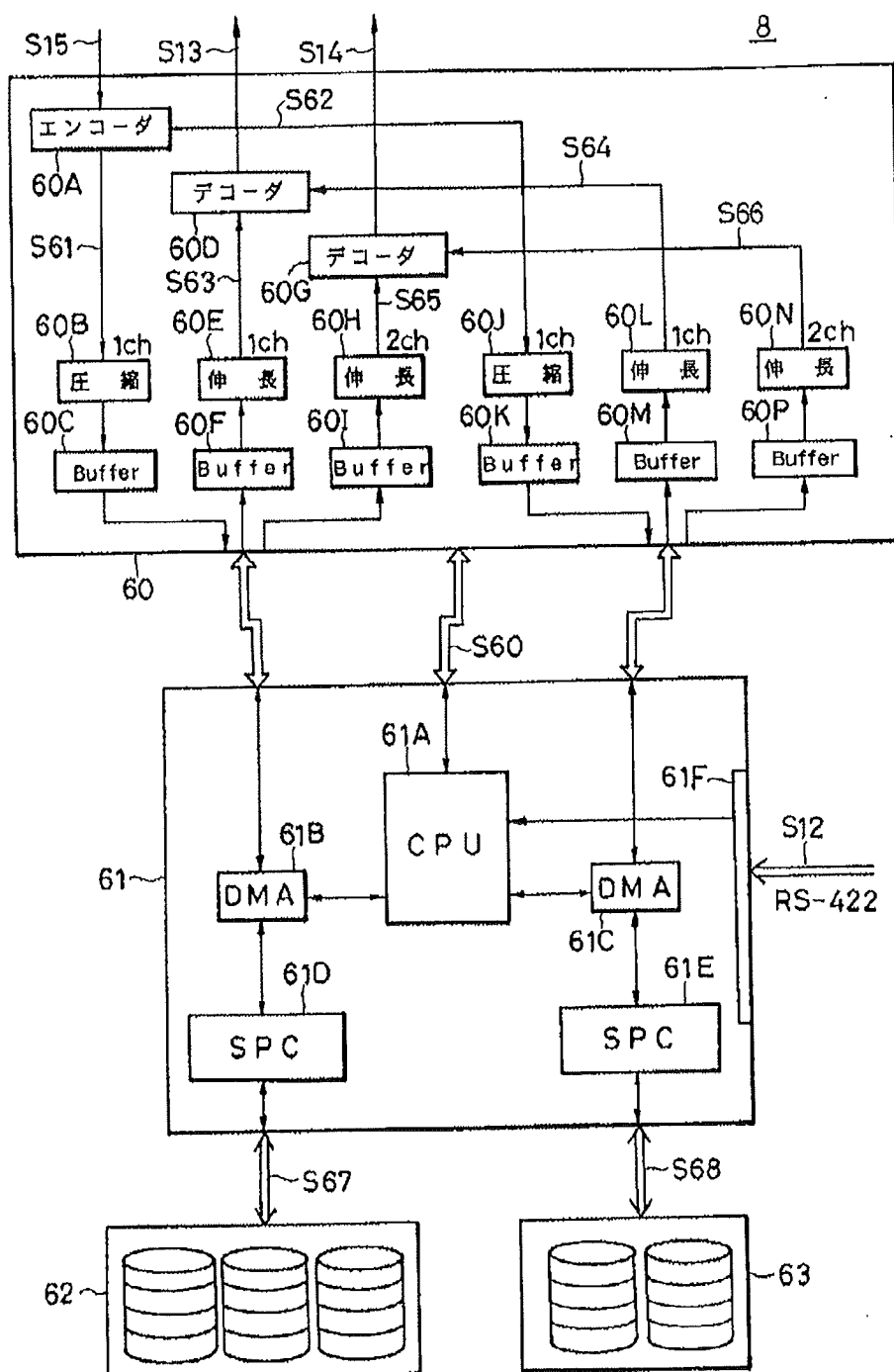
【図6】



【図7】



【図8】



【図9】

